

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142735

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336		9056-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 G 3 1 1 P

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平5-283643

(22) 出願日 平成5年(1993)11月12日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 合田 信弘

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

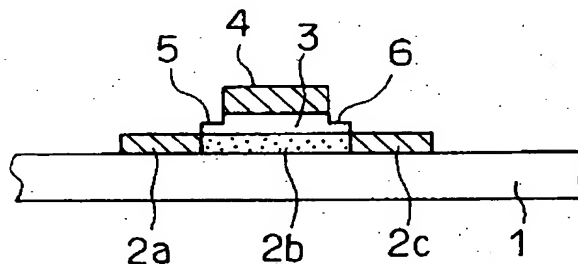
(74) 代理人 弁理士 目次 誠 (外1名)

(54) 【発明の名称】 薄膜トランジスタの製造方法及び薄膜トランジスタ

(57) 【要約】

【目的】 オフセットゲート構造またはLDD構造の薄膜トランジスタにおいて初期特性及び信頼性を向上させる。

【構成】 ドーピングにより半導体膜にソース領域2c及びドレイン領域2aがそれぞれ形成されており、チャネル領域2bの上方にゲート絶縁膜3を介してゲート電極4が形成されている薄膜トランジスタにおいて、ゲート電極4からはみ出したゲート絶縁膜3の領域を所定の深さまで除去することにより製造工程の際に生じたダメージ部分を取り除き、段差部5、6を形成する。このような段差部5、6の上方を覆うように設けられる保護絶縁膜として、ゲート絶縁膜3よりも高い誘電率を有する保護絶縁膜を形成する。



## 【特許請求の範囲】

【請求項1】 ドーピングにより半導体膜にソース領域及びドレイン領域がそれぞれ形成されており、ソース領域とドレイン領域との間のチャンネル領域の上方にゲート絶縁膜を介してゲート電極が形成されている薄膜トランジスタの製造方法であって、

前記半導体膜のチャンネル領域上に前記ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に該ゲート絶縁膜よりも幅の狭いゲート電極を形成する工程と、

前記ゲート電極並びに半導体膜のソース領域及びドレイン領域となる部分に不純物をドーピングする工程と、

前記ゲート電極からはみ出た前記ゲート絶縁膜の領域を所定の深さまで除去する工程とを備える、薄膜トランジスタの製造方法。

【請求項2】 ソース領域、チャンネル領域及びドレイン領域が形成された半導体活性層と、

前記半導体活性層のチャンネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に該ゲート絶縁膜よりも幅が狭くなるように形成されるゲート電極とを備え、

前記ゲート電極からはみ出た前記ゲート絶縁膜のダメージ領域が除去されることにより、前記ゲート絶縁部に段差部が形成されている、薄膜トランジスタ。

【請求項3】 ソース領域、チャンネル領域及びドレイン領域が形成された半導体活性層と、

前記半導体活性層のチャンネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に該ゲート絶縁膜よりも幅が狭くなるように形成されるゲート絶縁膜と、

前記ゲート絶縁膜を構成する材料より高い誘電率を有する材料から形成され、前記半導体活性層、ゲート絶縁膜及びゲート電極上を覆うように設けられる保護絶縁膜とを備える、薄膜トランジスタ。

【請求項4】 ソース領域、チャンネル領域及びドレイン領域が形成された半導体活性層と、

前記半導体活性層のチャンネル領域上に形成されるゲート絶縁膜と、

前記ゲート絶縁膜上に該ゲート絶縁膜よりも幅が狭くなるように形成されるゲート電極と、

前記ゲート絶縁膜を構成する材料より高い誘電率を有する材料から形成され、前記半導体活性層、ゲート絶縁膜及びゲート電極上を覆うように設けられる保護絶縁膜とを備え、

前記ゲート電極からはみ出た前記ゲート絶縁膜のダメージ領域が除去されることにより、前記ゲート絶縁膜に段差部が形成され、該段差部上を前記保護絶縁膜が被覆している、薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置の駆動等に用いることのできる薄膜トランジスタの製造方法及び薄膜トランジスタに関するものであり、特にオフセットゲート構造や、LDD (Lightly Doped Drain) 構造の薄膜トランジスタの製造方法及び薄膜トランジスタに関するものである。

## 【0002】

【従来の技術】 薄膜トランジスタにおいてオフ電流を低減してトランジスタ特性の高性能化を図るためには、チャンネル部のドレイン端に集中する電界強度を低減すればよいことがわかっている。このため、複数の薄膜トランジスタを直列に配置したマルチゲート構造が採用されている。しかしながら、マルチゲート構造をアクティブマトリクス型液晶表示装置のスイッチング素子として用いる場合には、開口率の低下を伴う。そこで、最近では、オフセットゲート構造やLDD構造の薄膜トランジスタが用いられるようになってきている。LDD構造の薄膜トランジスタは、例えば特開平2-98143号公報及び特開平3-101271号公報等に開示されている。

## 【0003】

【発明が解決しようとする課題】 しかしながら、このようなLDD構造やオフセットゲート構造の薄膜トランジスタは、バイアステスト (B-T処理) により特性が大きく劣化してしまう傾向があり、信頼性に劣るという問題があった。

【0004】 また、LDD構造やオフセットゲート構造の薄膜トランジスタにおいて、さらにオン電流を高めて初期特性の良好な薄膜トランジスタにすることが要望されている。

【0005】 本発明の目的は、オンとオフとの比 (オン/オフ) が大きく、初期特性に優れ、かつ信頼性に優れた薄膜トランジスタを提供することにある。

## 【0006】

【課題を解決するための手段】 請求項1に記載の発明の薄膜トランジスタの製造方法は、ドーピングにより半導体膜にソース領域及びドレイン領域がそれぞれ形成されており、ソース領域とドレイン領域との間のチャンネル領域の上方にゲート絶縁膜を介してゲート電極が形成されている薄膜トランジスタの製造方法であり、半導体膜のチャンネル領域上に前記ゲート絶縁膜を形成する工程と、ゲート絶縁膜上に該ゲート絶縁膜よりも幅の狭いゲート電極を形成する工程と、ゲート電極並びに半導体膜のソース領域及びドレイン領域となる部分に不純物をドーピングする工程と、ゲート電極からはみ出た前記ゲート絶縁膜の領域を所定の深さまで除去する工程とを備えることを特徴としている。

【0007】 請求項2に記載の薄膜トランジスタは、請求項1に記載の発明の製造方法により製造することができ、ソース領域、チャンネル領域及びドレイン領域が形成された半導体活性層と、半導

体活性層のチャネル領域上に形成されるゲート絶縁膜と、ゲート絶縁膜上に該ゲート絶縁膜よりも幅が狭くなるように形成されるゲート電極とを備え、ゲート電極からはみ出た前記ゲート絶縁膜のダメージ領域が除去されることにより、ゲート絶縁膜に段差部が形成されていることを特徴としている。

【0008】請求項3に記載の発明の薄膜トランジスタは、ソース領域、チャネル領域及びドレイン領域が形成された半導体活性層と、半導体活性層のチャネル領域上に形成されるゲート絶縁膜と、ゲート絶縁膜上に該ゲート絶縁膜よりも幅が狭くなるように形成されるゲート電極と、ゲート絶縁膜を構成する材料より高い誘電率を有する材料から形成され、半導体活性層、ゲート絶縁膜及びゲート電極上を覆うように設けられる保護絶縁膜とを備えている

【0009】請求項4に記載の薄膜トランジスタは、請求項2に記載の薄膜トランジスタの特徴と請求項3に記載の発明の薄膜トランジスタの特徴とを備えており、ソース領域、チャネル領域及びドレイン領域が形成された半導体活性層と、半導体活性層のチャネル領域上に形成されるゲート絶縁膜と、ゲート絶縁膜上に該ゲート絶縁膜よりも幅が狭くなるように形成されるゲート電極と、ゲート絶縁膜を構成する材料より高い誘電率を有する材料から形成され、半導体活性層、ゲート絶縁膜及びゲート電極上を覆うように設けられる保護絶縁膜とを備え、ゲート電極からはみ出たゲート絶縁膜のダメージ領域が除去されることによりゲート絶縁膜に段差部が形成され、該段差部上を前記保護絶縁膜が被覆していることを特徴としている。

#### 【0010】

【作用】本発明者らは、LDD構造やオフセットゲート構造の薄膜トランジスタがバイアステストにより特性が大きく劣化する原因について鋭意検討した結果、薄膜トランジスタの製造工程においてイオンシャワー法等により不純物をドーブする際、ゲート電極からはみ出たゲート絶縁膜の領域がダメージを受け、この領域がナトリウムや水分等により汚染されやすくなり、特性が劣化することを見いだした。

【0011】請求項1に記載の発明の製造方法では、不純物をドーブした後、この不純物のドーブ等によりダメージを受けたゲート絶縁膜の領域、すなわちゲート電極からはみ出たゲート絶縁膜の領域をエッチング等で所定の深さまで除去し、このダメージ部分を取り除いている。このため、水分等により汚染されにくくなり、信頼性を高めることができる。

【0012】請求項1に記載の発明及び請求項2に記載の発明においてゲート電極からはみ出たゲート絶縁膜の領域を除去する深さは、製造工程においてゲート絶縁膜のダメージがどの程度の深さまで生じているかにより異なるが、一般には100Å～500Å程度の深さで除去

される。

【0013】請求項3に記載の発明に従えば、半導体活性層、ゲート絶縁膜及びゲート電極上を覆うように設けられる保護絶縁膜が、ゲート絶縁膜を構成する材料より高い誘電率を有する材料から形成される。このため、オフセットゲート部やLDD領域が形成されている、ゲート電極からはみ出たゲート絶縁膜部分の上には該ゲート絶縁膜より高い誘電率を有する保護絶縁膜が存在しており、ゲート電界がドレイン端に集中せず分散する。このためオン/オフ比を大きくすることができ、トランジスタの初期特性を高めることができる。

【0014】請求項4に記載の発明に従う薄膜トランジスタは、ゲート電極からはみ出たゲート絶縁膜のダメージ領域が除去されることによりゲート絶縁膜により段差部が形成されており、かつこの段差部の上に、ゲート絶縁膜より高い誘電率を有する保護絶縁膜が存在している。従って、水分等により汚染されやすいダメージ領域が除去されており、請求項1及び2に記載の発明と同様に高い信頼性を有するとともに、高い誘電率の保護絶縁膜がゲート絶縁膜の段差部上に存在しているのでゲート電界がドレイン端に集中せず分散し、初期特性が向上する。

#### 【0015】

【実施例】図2は、薄膜トランジスタの製造工程を示す断面図である。図2(a)を参照して、ガラス基板等の絶縁性透明基板1の上に多結晶シリコン等からなる半導体膜2を形成する。多結晶シリコンはCVD法等により形成し、これを島状にパターニングして形成することができる。また非晶質シリコンをCVD法等により形成した後、これをアニールすることにより多結晶化してもよい。次に、図2(b)を参照して、半導体膜2を熱酸化するか、半導体膜2上にCVD法等によりデポジションしてSiO<sub>2</sub>からなるゲート絶縁膜3を形成する。

【0016】次に図2(c)を参照して、ゲート絶縁膜3上に多結晶シリコン等からなるゲート電極4を形成する。次に図2(d)を参照して、ゲート電極4の幅よりも広い幅を有するようにゲート絶縁膜3の不要部分をエッチングする。これにより、ゲート絶縁膜3上にゲート絶縁膜3より幅の狭いゲート電極4が形成されたことになる。

【0017】次に、図2(e)を参照して、イオンシャワー法等によりイオンビームを照射し、半導体膜のドレイン領域2a及びソース領域2cと、ゲート電極4に不純物をドーブした後、熱処理して活性化する。また、必要に応じて水素プラズマ処理を行う。

【0018】以上のようにして不純物や水素がゲート電極4と半導体活性層のドレイン領域2a及びソース領域2cに導入されるが、この際、ゲート電極4からはみ出たゲート絶縁膜3の領域3a、3bの部分も不純物ドーブ及び水素プラズマ処理の影響を受け、ダメージを受け

10

20

30

40

50

る。

【0019】図1は、請求項1に記載の発明に従い、図2(e)に示すゲート絶縁膜3のはみ出し領域3a、3bをエッチング等により除去し、段差部5、6を形成した状態を示す断面図である。本実施例においてゲート絶縁膜3の厚みは1000Å～1500Åであり、はみ出しの領域3a、3bを100Å～500Åの深さでエッチングで除去することにより、段差部5、6を形成している。

【0020】図3は、図1に示すような段差部5、6を形成した後、ゲート電極4、ゲート絶縁膜3、及び半導体膜のドレイン領域2a及びソース領域2cの上を覆うように保護絶縁膜7を形成し、保護絶縁膜7形成後、ドレイン領域2a及びソース領域2cの上方にコンタクトホール7a、7bを形成した状態を示している。請求項3及び請求項4に記載の発明に従えば、この保護絶縁膜7として、ゲート絶縁膜3よりも高い誘電率を有するものが用いられる。本実施例では、ゲート絶縁膜3を酸化シリコンから形成しているのので、酸化シリコンの誘電率よりも高い窒化シリコン、酸化窒化シリコン、酸化タンタル等が保護絶縁膜7の形成材料として用いられる。

【0021】図4は、図2(e)に示す工程の次に、ゲート電極4からはみ出したゲート絶縁膜3の領域3a、3bをエッチングせずに、保護絶縁膜7を形成させた実施例を示している。請求項3に記載の発明に従えば、ゲート絶縁膜3よりも高い誘電率を有する材料を用いて保護絶縁膜7を形成する。本実施例ではゲート絶縁膜3として酸化シリコンが用いられているので、例えば窒化シリコン等から保護絶縁膜7を形成する。

【0022】図5は、薄膜トランジスタの保護絶縁膜の材料として種々の誘電率 $\epsilon$ を有する材料を用い、バイアステストした後のオン電流を示す図である。図5において、実線は図3に示すような構造、すなわちゲート絶縁膜のはみ出し領域をエッチングし段差部が形成されている構造の薄膜トランジスタにおける値を示しており、点線は図4に示すような構造、すなわち段差部が形成されていない構造の薄膜トランジスタの値を示している。ま

た図5において、一点鎖線は酸化シリコン膜の誘電率の値を示している。図5から明らかなように、保護絶縁膜の誘電率 $\epsilon$ が酸化シリコン膜の誘電率よりも高くなれば、バイアステスト後のオン電流が大きくなり、信頼性が向上する。

【0023】次に、以下のような実施例1～4及び比較例1、2の薄膜トランジスタについて初期特性及び信頼性を評価し、その結果を表1にまとめて示した。

#### 【0024】実施例1

図1に示すような構造であり、ゲート絶縁膜3に段差部5、6が形成されており、保護絶縁膜を有しない構造のもの。

#### 【0025】実施例2

図3に示すような構造であり、ゲート絶縁膜3に段差部5、6が形成されており、保護絶縁膜7として $\text{SiO}_2$ が形成されている構造のもの。

#### 【0026】実施例3

図4に示すような構造であり、ゲート絶縁膜3に段差部が形成されておらず、保護絶縁膜7としてゲート絶縁膜3より高い誘電率を有する $\text{SiN}_x$ が形成された構造のもの。

#### 【0027】実施例4

図3に示すような構造であり、ゲート絶縁膜3に段差部5、6が形成されており、保護絶縁膜7としてゲート絶縁膜3より高い誘電率を有する $\text{SiN}_x$ が形成された構造のもの。

#### 【0028】比較例1

図2(e)に示すような構造であり、ゲート絶縁膜3のはみ出し領域3a、3bはエッチング除去されず、保護絶縁膜を有していない構造のもの。

#### 【0029】比較例2

図4に示すような構造であり、ゲート絶縁膜3のはみ出し領域3a、3bはエッチング除去されず、保護絶縁膜7としてゲート絶縁膜3と同じ材料である $\text{SiO}_2$ 膜が形成された構造のもの。

#### 【0030】

#### 【表1】

	段差部	保護絶縁膜	初期特性 ( $\mu\text{A}/\mu\text{m}$ 電流/ $\mu\text{A}/\mu\text{m}$ 電流)	信頼性 ( $\text{B-T後}/\text{初期}$ $\mu\text{A}/\mu\text{m}$ 電流/ $\mu\text{A}/\mu\text{m}$ 電流)
実施例1	あり	—	$1 \times 10^6$	$1 \times 10^{-1}$
2	あり	$\text{SiO}_2$	$2 \times 10^6$	$1 \times 10^{-1}$
3	なし	$\text{SiN}_x$	$2 \times 10^6$	$5 \times 10^{-2}$
4	あり	$\text{SiN}_x$	$5 \times 10^7$	1
比較例1	なし	—	$2 \times 10^5$	$1 \times 10^{-6}$
2	なし	$\text{SiO}_2$	$5 \times 10^5$	$1 \times 10^{-3}$

【0031】実施例1及び比較例1は、保護絶縁膜を有さず、段差部が形成されたものと形成されていないものである。また実施例2と比較例2は、保護絶縁膜として $\text{SiO}_2$ 膜が形成されており、段差部が形成されたものと形成されていないものである。これらの実施例と比較例の比較から、ゲート絶縁膜のはみ出しダメージ部分をエッチング除去し段差部を形成することにより、著しく信頼性の高まることがわかる。

【0032】また実施例3及び実施例4は保護絶縁膜としてゲート絶縁膜よりも高い誘電率を有する $\text{SiN}_x$ が形成されており、保護絶縁膜として $\text{SiO}_2$ 膜が形成されている比較例2及び実施例2に比べ、信頼性が向上すると共に初期特性も良好になっていることがわかる。

【0033】以上のことから明かなように、請求項1に記載の発明及び請求項2に記載の発明に従い、ゲート電極からはみ出したゲート絶縁膜のダメージ部分を除去することにより、信頼性を著しく向上させることができる。また請求項3に記載の発明に従い、ゲート絶縁膜よりも高い誘電率を有する保護絶縁膜を形成することにより、信頼性を向上させることができると共に、初期特性を良好なものにすることができる。また請求項4に記載の発明に従い、ゲート電極からはみ出したゲート絶縁膜のダメージ部分を除去すると共に、ゲート絶縁膜よりも高い誘電率を有する材料を用いて保護絶縁膜を形成することにより、さらに初期特性及び信頼性を向上させることができる。

【0034】図6は、ゲート絶縁膜のはみ出し領域に段差部を形成しかつ保護絶縁膜としてゲート絶縁膜よりも高い誘電率を有する絶縁膜を形成した薄膜トランジスタを、液晶表示装置のスイッチング素子として用いた例を示す断面図である。図6を参照して、保護絶縁膜7に形成されたコンタクトホール7bに達するようにITOなどからなる表示電極8が保護絶縁膜7上に形成されており、コンタクトホール7b内で表示電極8はソース領域2cと電気的に接続されている。このコンタクトホール7b内には、さらに金属から形成されたソース電極11が表示電極8を覆うように形成されている。

【0035】コンタクトホール7a内には金属から形成されたドレイン電極10が形成されており、ドレイン領域2aと電気的に接続されている。また表示電極8の下方には保護絶縁膜7を介して補助容量電極9が形成されている。その他の構成は図3に示す実施例と同様であるので、同一の参照番号を付することにより説明を省略する。

【0036】上記実施例では、オフセットゲート構造の薄膜トランジスタに本発明を適用した例を示しているが、本発明はオフセットゲート構造の薄膜トランジスタのみに限定されるものではなく、ゲート電極からはみ出したゲート絶縁膜の領域の下方にLDD領域が形成されたLDD構造等の薄膜トランジスタにも適用されるもの

である。

【0037】

【発明の効果】請求項1に記載の発明及び請求項2に記載の発明に従えば、ゲート電極からはみ出したゲート絶縁膜の領域が所定の深さまで除去される。このため不純物のドーピング等によりダメージを受けたゲート絶縁膜の領域が除去されるので、従来信頼性低下の原因となっていた水分等による汚染の発生を抑制することができ、信頼性を向上させることができる。

10 【0038】請求項3に記載の発明に従えば、ゲート絶縁膜を構成する材料より高い誘電率を有する材料から保護絶縁膜が形成される。従って、ゲート電極からはみ出したゲート絶縁膜の上にゲート絶縁膜よりも高い誘電率の保護絶縁膜が存在するため、ゲート電界がドレイン端に集中せず分散し、オン/オフ比を大きくすることができ、初期特性を向上させることができる。

20 【0039】請求項4に記載の発明に従えば、請求項1に記載の発明及び請求項2に記載の発明と同様に段差部が形成されると共に請求項3に記載の発明と同様にゲート絶縁膜よりも高い誘電率を有する保護絶縁膜が設けられる。このため、信頼性を著しく向上させることができると共に、初期特性を良好なものにすることができる。

【図面の簡単な説明】

【図1】請求項1に記載の発明及び請求項2に記載の発明に従う一実施例を示す断面図。

【図2】薄膜トランジスタを製造する工程を示す断面図。

【図3】請求項4に記載の発明に従う一実施例を示す断面図。

30 【図4】請求項3に記載の発明に従う一実施例を示す断面図。

【図5】保護絶縁膜の誘電率 $\epsilon$ とバイアステスト後のオン電流との関係を示す図。

【図6】請求項4に記載の発明に従う一実施例の薄膜トランジスタを液晶表示装置のスイッチング素子として用いた例を示す断面図。

【符号の説明】

1…透明基板

2…半導体活性層

2a…ドレイン領域

2b…チャネル領域

2c…ソース領域

3…ゲート絶縁膜

3a, 3b…ゲート絶縁膜のはみ出し領域

4…ゲート電極

5, 6…ゲート絶縁膜の段差部

7…保護絶縁膜

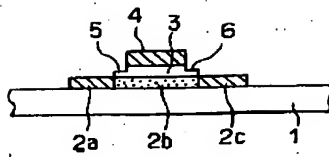
8…表示電極

9…補助容量電極

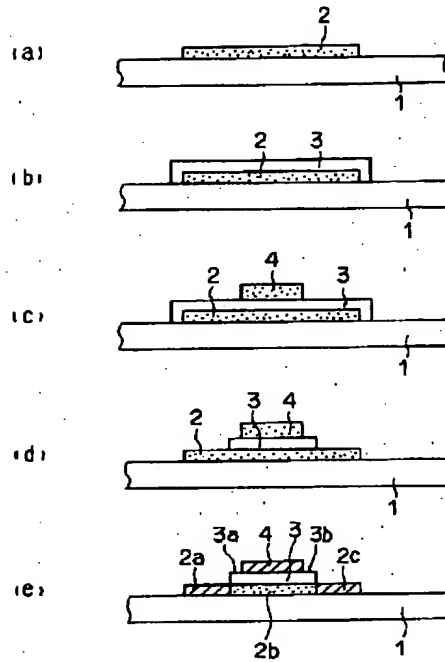
50 10…ドレイン電極

11...ソース電極

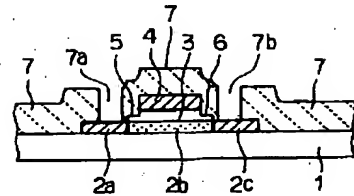
【図1】



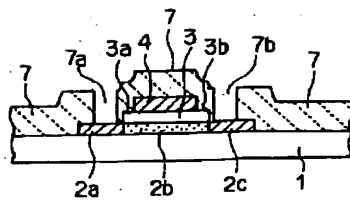
【図2】



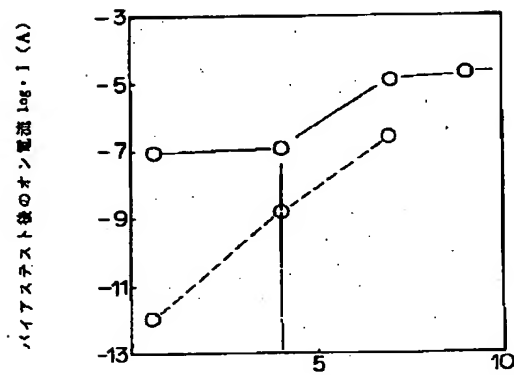
【図3】



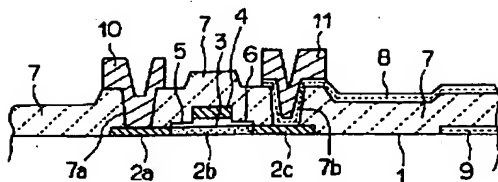
【図4】



【図5】

保護絶縁膜の誘電率  $\epsilon$ 

【図6】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142735

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 05-283643

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 12.11.1993

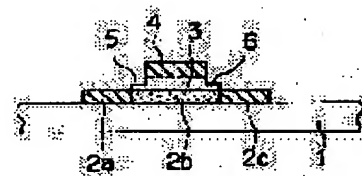
(72)Inventor : AIDA NOBUHIRO

## (54) THIN-FILM TRANSISTOR AND MEASUREMENT OF ITS CONTACT RESISTANCE

## (57)Abstract:

**PURPOSE:** To improve the initial characteristics and the reliability of a thin-film transistor having offset gate or LDD structure.

**CONSTITUTION:** Concerning to a thin-film transistor having source and drain regions 2c and 2d formed respectively in a semiconductor film by doping and a gate electrode 4 formed above the channel region 2b interposing a gate insulating film 3, parts damaged during a manufacturing process are removed by removing protruding regions of the gate insulating film 3 from the gate electrode 4 up to a specified depth, and stepped parts 5 and 6 are formed. As a protective insulating film to be provided to cover the stepped parts 5 and 6 like these, a protective insulating film having a permittivity higher than the gate insulating film 3 is formed.



## LEGAL STATUS

[Date of request for examination] 18.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3177360

[Date of registration] 06.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142735

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 05-283643

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 12.11.1993

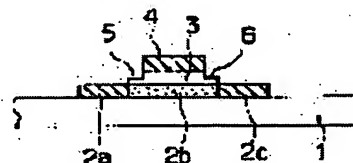
(72)Inventor : AIDA NOBUHIRO

## (54) THIN-FILM TRANSISTOR AND MEASUREMENT OF ITS CONTACT RESISTANCE

## (57)Abstract:

PURPOSE: To improve the initial characteristics and the reliability of a thin-film transistor having offset gate or LDD structure.

CONSTITUTION: Concerning to a thin-film transistor having source and drain regions 2c and 2d formed respectively in a semiconductor film by doping and a gate electrode 4 formed above the channel region 2b interposing a gate insulating film 3, parts damaged during a manufacturing process are removed by removing protruding regions of the gate insulating film 3 from the gate electrode 4 up to a specified depth, and stepped parts 5 and 6 are formed. As a protective insulating film to be provided to cover the stepped parts 5 and 6 like these, a protective insulating film having a permittivity higher than the gate insulating film 3 is formed.



## LEGAL STATUS

[Date of request for examination]

18.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3177360

[Date of registration] 06.04.2001

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] A manufacture method of a thin film transistor characterized by providing the following that a source field and a drain field are formed in a semiconductor film of doping, respectively, and a gate electrode is formed through a gate insulator layer above the channel field between a source field and a drain field A production process which forms said gate insulator layer on a channel field of said semiconductor film A production process which forms a gate electrode with width of face narrower than this gate insulator layer on said gate insulator layer A production process which dopes an impurity into a portion which serves as a source field of a semiconductor film, and a drain field at said gate electrode list A production process which removes a field of said gate insulator layer which overflowed said gate electrode to the predetermined depth

[Claim 2] A thin film transistor by which the level difference section is formed in said gate insulation section by having a semiconductor barrier layer in which a source field, a channel field, and a drain field were formed, a gate insulator layer formed on a channel field of said semiconductor barrier layer, and a gate electrode formed so that width of face may become narrow rather than this gate insulator layer on said gate insulator layer, and removing a damage field of said gate insulator layer which overflowed said gate electrode.

[Claim 3] The thin film transistor which is formed from the material which has a dielectric constant higher than a material which constitutes a semiconductor barrier layer in which a source field, a channel field, and a drain field were formed, a gate insulator layer formed on a channel field of said semiconductor barrier layer, a gate insulator layer formed so that width of face may become narrow rather than this gate insulator layer on said gate insulator layer, and said gate insulator layer, and is equipped with the protection insulator layer prepared so that a said semiconductor barrier layer, gate insulator layer, and gate electrode top may be covered.

[Claim 4] A thin film transistor with which the level difference section was formed in said gate insulator layer, and said protection insulator layer has covered this level difference section top by having a protection insulator layer which is characterized by providing the following, and which is prepared so that it may be formed from a material and a said semiconductor barrier layer, gate insulator layer, and gate electrode top may be covered; and removing a damage field of said gate insulator layer which overflowed said gate electrode A semiconductor barrier layer in which a source field, a channel field, and a drain field were formed A gate insulator layer formed on a channel field of said semiconductor barrier layer A gate electrode formed so that width of face may become narrow rather than this gate insulator layer on said gate insulator layer A dielectric constant higher than a material which constitutes said gate insulator layer

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture method of the thin film transistor of offset gate structure and LDD (Lightly Doped Drain) structure, and a thin film transistor especially about the manufacture method of a thin film transistor and thin film transistor which can be used for the drive of a liquid crystal display etc.

[0002]

[Description of the Prior Art] In order to reduce the OFF state current in a thin film transistor and to attain high performance-ization of transistor characteristics, it turns out that what is necessary is just to reduce the field strength concentrated on the drain edge of the channel section. For this reason, the multi-gate structure which has arranged two or more thin film transistors to the serial is adopted. However, in using multi-gate structure as a switching element of an active matrix liquid crystal indicating equipment, it accompanies by decline in a numerical aperture. So, recently, the thin film transistor of offset gate structure or LDD structure is used increasingly. The thin film transistor of LDD structure is indicated by JP,2-98143,A, JP,3-101271,A, etc.

[0003]

[Problem(s) to be Solved by the Invention] However, a property tends to deteriorate greatly by the bias test (B-T processing), and the thin film transistor of such LDD structure and offset gate structure had the problem of being inferior to reliability.

[0004] Moreover, in the thin film transistor of LDD structure or offset gate structure, to raise the ON state current further and to make it a thin film transistor with a good initial property is demanded.

[0005] The purpose of this invention is to offer the thin film transistor which whose ratio (ON/OFF) of ON and OFF was large, and was excellent in the initial property, and was excellent in reliability.

[0006]

[Means for Solving the Problem] A manufacture method of a thin film transistor invention according to claim 1 A source field and a drain field are formed in a semiconductor film of doping, respectively. A production process which is the manufacture method of a thin film transistor that a gate electrode is formed through a gate insulator layer above the channel field between a source field and a drain field, and forms said gate insulator layer on a channel field of a semiconductor film, A production process which forms a gate electrode with width of face narrower than this gate insulator layer on a gate insulator layer, It is characterized by equipping a portion which serves as a source field of a semiconductor film, and a drain field at a gate electrode list with a production process which dopes an impurity, and a production process which removes a field of said gate insulator layer which overflowed a gate electrode to the predetermined depth.

[0007] A semiconductor barrier layer in which a thin film transistor according to claim 2 is a thin film transistor which can be manufactured by the manufacture method of invention according to claim 1, and a source field, a channel field, and a drain field were formed, It has a gate insulator layer formed on a channel field of a semiconductor barrier layer, and a gate electrode formed so that width of face may

become narrow rather than this gate insulator layer on a gate insulator layer. By removing a damage field of said gate insulator layer which overflowed a gate electrode, it is characterized by forming the level difference section in a gate insulator layer.

[0008] A thin film transistor of invention according to claim 3 A semiconductor barrier layer in which a source field, a channel field, and a drain field were formed, A gate insulator layer formed on a channel field of a semiconductor barrier layer, and a gate electrode formed so that width of face may become narrow rather than this gate insulator layer on a gate insulator layer, [0009] [ equipped with a protection insulator layer prepared so that it may be formed from a material which has a dielectric constant higher than a material which constitutes a gate insulator layer and a semiconductor barrier layer, gate insulator layer, and gate electrode top may be covered ] A thin film transistor according to claim 4 is equipped with the feature of a thin film transistor according to claim 2, and the feature of a thin film transistor of invention according to claim 3. A semiconductor barrier layer in which a source field, a channel field, and a drain field were formed, A gate insulator layer formed on a channel field of a semiconductor barrier layer, and a gate electrode formed so that width of face may become narrow rather than this gate insulator layer on a gate insulator layer, It is formed from a material which has a dielectric constant higher than a material which constitutes a gate insulator layer. It has a protection insulator layer prepared so that a semiconductor barrier layer, gate insulator layer, and gate electrode top may be covered. By removing a damage field of a gate insulator layer which overflowed a gate electrode, the level difference section is formed in a gate insulator layer, and it is characterized by said protection insulator layer having covered this level difference section top.

[0010]

[Function] the field of a gate insulator layer where the property overflowed the gate electrode by the bias test when the thin film transistor of LDD structure or offset gate structure doped an impurity by the ion shower method etc. in the manufacturing process of a thin film transistor , as a result of consider wholeheartedly the cause of deteriorate greatly received the damage , in sodium , moisture , etc. , this field became be easy to be pollute , and this invention persons found out that a property deteriorated .

[0011] By the manufacture method of invention according to claim 1, after doping an impurity, the field of the gate insulator layer which overflowed the damage by the dope of this impurity etc., the field, i.e., the gate electrode, of a carrier beam gate insulator layer, was removed by Mr. Fukashi predetermined by etching etc., and this damage portion is removed. For this reason, moisture etc. becomes is hard to be polluted and reliability can be raised.

[0012] Although the depth which removes the field of the gate insulator layer which overflowed the gate electrode in invention and invention according to claim 2 according to claim 1 differs by whether the damage of a gate insulator layer has arisen to the depth of how much in the manufacturing process, generally it is removed in a depth of 100A - about 500A.

[0013] If invention according to claim 3 is followed, the protection insulator layer prepared so that a semiconductor barrier layer, gate insulator layer, and gate electrode top may be covered will be formed from the material which has a dielectric constant higher than the material which constitutes a gate insulator layer. For this reason, on the gate insulator layer portion which overflowed the gate electrode with which the offset gate section and a LDD field are formed, the protection insulator layer which has a dielectric constant higher than this gate insulator layer exists, and gate electric field do not concentrate on a drain edge, but distribute. For this reason, ON/OFF ratio can be enlarged and the initial property of a transistor can be raised.

[0014] The thin film transistor according to invention according to claim 4 is formed in the level difference section of the gate insulator layer by removing the damage field of the gate insulator layer which overflowed the gate electrode, and the protection insulator layer which has a dielectric constant higher than a gate insulator layer on the level difference section of a parenthesis exists. Therefore, while the damage field which tends to be polluted by moisture etc. is removed and having high reliability like invention of a publication in claims 1 and 2, since the protection insulator layer of a high dielectric constant exists on the level difference section of a gate insulator layer, gate electric field do not concentrate on a drain edge, but distribute, and an initial property improves.

[0015]

[Example] Drawing 2 is the cross section showing the manufacturing process of a thin film transistor. With reference to drawing 2 (a), the semiconductor film 2 which consists of polycrystalline silicon etc. is formed on the insulating transparent substrates 1, such as a glass substrate. Polycrystalline silicon is formed with a CVD method etc., can carry out patterning of this to the shape of an island, and can form it. Moreover, after forming amorphous silicon with a CVD method etc., you may polycrystallize by annealing this. next -- or it oxidizes the semiconductor film 2 thermally with reference to drawing 2 (b) -- the semiconductor film 2 top -- a CVD method etc. -- deposition -- carrying out -- SiO<sub>2</sub> from -- the becoming gate insulator layer 3 is formed.

[0016] Next, with reference to drawing 2 (c), the gate electrode 4 which consists of polycrystalline silicon etc. is formed on the gate insulator layer 3. Next, with reference to drawing 2 (d), the garbage of the gate insulator layer 3 is etched so that it may have width of face larger than the width of face of the gate electrode 4. It means that the gate electrode 4 with width of face narrower than the gate insulator layer 3 was formed on the gate insulator layer 3 by this.

[0017] Next, it is heat-treated and activated, after irradiating an ion beam by the ion shower method etc. and doping an impurity with reference to drawing 2 (e) to drain field 2a of a semiconductor film and source field 2c, and the gate electrode 4. Moreover, hydrogen plasma treatment is performed if needed.

[0018] Although an impurity and hydrogen are introduced into drain field 2a of the gate electrode 4 and a semiconductor barrier layer, and source field 2c as mentioned above, in this case, the portion of the fields 3a and 3b of the gate insulator layer 3 which overflowed the gate electrode 4 is also influenced of an impurity dope and hydrogen plasma treatment, and receives a damage.

[0019] Drawing 1 is the cross section showing the condition of etching etc. having removed the flash fields 3a and 3b of the gate insulator layer 3 shown in drawing 2 (e) according to invention according to claim 1, and having formed the level difference sections 5 and 6. In this example, the thickness of the gate insulator layer 3 is 1000Å - 1500Å, and forms the level difference sections 5 and 6 by removing the fields 3a and 3b of a flash by etching in a depth of 100Å - 500Å.

[0020] After drawing 3 forms the level difference sections 5 and 6 as shown in drawing 1, it forms the protection insulator layer 7 so that a drain field 2a [ of the gate electrode 4, the gate insulator layer 3, and a semiconductor film ] and source field 2c top may be covered, and shows the condition of having formed contact holes 7a and 7b above drain field 2a and source field 2c, after protection insulator layer 7 formation. If claim 3 and invention according to claim 4 are followed, what has a dielectric constant higher than the gate insulator layer 3 as this protection insulator layer 7 will be used. In this example, since the gate insulator layer 3 is formed from silicon oxide, silicon nitride higher than the dielectric constant of silicon oxide, oxidation silicon nitride, tantalum oxide, etc. are used as a formation material of the protection insulator layer 7.

[0021] Drawing 4 shows the example in which the protection insulator layer 7 was made to form, without being the production process shown in drawing 2 (e), next etching the fields 3a and 3b of the gate insulator layer 3 protruded from the gate electrode 4. If invention according to claim 3 is followed, the protection insulator layer 7 will be formed using the material which has a dielectric constant higher than the gate insulator layer 3. Since silicon oxide is used as a gate insulator layer 3 in this example, the protection insulator layer 7 is formed, for example from silicon nitride etc.

[0022] Drawing 5 is drawing showing the ON state current after carrying out a bias test using the material which has the various dielectric constants epsilon as a material of the protection insulator layer of a thin film transistor. In drawing 5, the continuous line shows the value in the thin film transistor of structure, i.e., the structure where etch the flash field of a gate insulator layer and the level difference section is formed, as shown in drawing 3, and the dotted line shows the value of the thin film transistor of structure, i.e., the structure where the level difference section is not formed, as shown in drawing 4. Moreover, in drawing 5, the alternate long and short dash line shows the value of the dielectric constant of a silicon oxide film. If the dielectric constant epsilon of a protection insulator layer becomes higher than the dielectric constant of a silicon oxide film so that clearly from drawing 5, the ON state current after a bias test will become large, and reliability will improve.

[0023] Next, an initial property and reliability were evaluated about the thin film transistor of the following examples 1-4 and the examples 1 and 2 of a comparison, and the result was collectively shown in a table 1.

[0024] The thing of structure which it is structure as shown in example 1 drawing 1, and the level difference sections 5 and 6 are formed in the gate insulator layer 3, and does not have a protection insulator layer.

[0025] It is structure as shown in example 2 drawing 3, the level difference sections 5 and 6 are formed in the gate insulator layer 3, and it is SiO<sub>2</sub> as a protection insulator layer 7. Thing of the structure currently formed.

[0026] SiNX which it is structure as shown in example 3 drawing 4, and the level difference section is not formed in the gate insulator layer 3, but has a dielectric constant higher than the gate insulator layer 3 as a protection insulator layer 7 Thing of the formed structure.

[0027] SiNX which it is structure as shown in example 4 drawing 3, and the level difference sections 5 and 6 are formed in the gate insulator layer 3, and has a dielectric constant higher than the gate insulator layer 3 as a protection insulator layer 7 Thing of the formed structure.

[0028] It is the thing of structure which it is structure as shown in example of comparison 1 drawing 2 (e), and etching removal of the flash fields 3a and 3b of the gate insulator layer 3 is not carried out, and does not have the protection insulator layer.

[0029] It is SiO<sub>2</sub> which it is structure as shown in example of comparison 2 drawing 4, and etching removal of the flash fields 3a and 3b of the gate insulator layer 3 is not carried out, but is the material same as a protection insulator layer 7 as the gate insulator layer 3. Thing of the structure where the film was formed.

[0030]

[A table 1]

	段差部	保護絶縁膜	初期特性 ( $\frac{\text{オフ電流}}{\text{オン電流}}$ )	信頼性 ( $\frac{\text{B-T後}}{\text{初期}} \frac{\text{オフ電流}}{\text{オン電流}}$ )
実施例 1	あり	—	$1 \times 10^6$	$1 \times 10^{-1}$
2	あり	SiO <sub>2</sub>	$2 \times 10^6$	$1 \times 10^{-1}$
3	なし	SiNX	$2 \times 10^6$	$5 \times 10^{-2}$
4	あり	SiNX	$5 \times 10^7$	1
比較例 1	なし	—	$2 \times 10^5$	$1 \times 10^{-6}$
2	なし	SiO <sub>2</sub>	$5 \times 10^5$	$1 \times 10^{-3}$

[0031] An example 1 and the example 1 of a comparison do not have a protection insulator layer, and are not formed with that in which the level difference section was formed. Moreover, an example 2 and the example 2 of a comparison are SiO<sub>2</sub> as a protection insulator layer. It is not formed with that in which the film is formed in and the level difference section was formed. By carrying out etching removal of the damage portion which the gate insulator layer protruded, and forming the level difference section from the comparison of these examples and examples of a comparison, shows that reliability increases remarkably.

[0032] Moreover, an example 3 and an example 4 are SiNX which has a dielectric constant higher than a gate insulator layer as a protection insulator layer. It is formed and is SiO<sub>2</sub> as a protection insulator layer. Compared with the example 2 of a comparison and example 2 in which the film is formed, while reliability improves, it turns out that the initial property is also good.

[0033] Reliability can be remarkably raised by removing the damage portion of the gate insulator layer

protruded from the gate electrode according to invention and invention according to claim 2 according to claim 1 so that clearly from the above thing. Moreover, an initial property can be made good while being able to raise reliability by forming the protection insulator layer which has a dielectric constant higher than a gate insulator layer according to invention according to claim 3. Moreover, while removing the damage portion of the gate insulator layer protruded from the gate electrode according to invention according to claim 4, an initial property and reliability can be further raised by forming a protection insulator layer using the material which has a dielectric constant higher than a gate insulator layer.

[0034] Drawing 6 is the cross section showing the example using the thin film transistor in which the insulator layer which forms the level difference section in the flash field of a gate insulator layer, and has a dielectric constant higher than a gate insulator layer as a protection insulator layer was formed, as a switching element of a liquid crystal display. The display electrode 8 which consists of ITO etc. so that contact hole 7b formed in the protection insulator layer 7 may be reached with reference to drawing 6 is formed on the protection insulator layer 7, and the display electrode 8 is electrically connected with source field 2c within contact hole 7b. In this contact hole 7b, it is formed so that the source electrode 11 further formed from the metal may cover the display electrode 8.

[0035] In contact hole 7a, the drain electrode 10 formed from the metal is formed, and it connects with drain field 2a electrically. Moreover, the auxiliary capacity electrode 9 is formed in the lower part of the display electrode 8 through the protection insulator layer 7. Since other configurations are the same as that of the example shown in drawing 3, explanation is omitted by \*\*\*\*\* which attaches the same reference number.

[0036] Although the above-mentioned example shows the example which applied this invention to the thin film transistor of offset gate structure, this invention is not limited only to the thin film transistor of offset gate structure, and is applied also to thin film transistors, such as LDD structure of the field of the gate insulator layer protruded from the gate electrode where the LDD field was formed caudad.

[0037]

[Effect of the Invention] If invention and invention according to claim 2 according to claim 1 are followed, the field of the gate insulator layer protruded from the gate electrode will be removed to the predetermined depth. For this reason, since the field of a carrier beam gate insulator layer is removed by doping of an impurity etc. in a damage, generating of contamination by the moisture which caused a reliability fall conventionally can be controlled, and reliability can be raised.

[0038] If invention according to claim 3 is followed, a protection insulator layer will be formed from the material which has a dielectric constant higher than the material which constitutes a gate insulator layer. Therefore, since the protection insulator layer of a dielectric constant higher than a gate insulator layer exists on the gate insulator layer protruded from the gate electrode, gate electric field cannot concentrate on a drain edge, but can distribute, ON/OFF ratio can be enlarged, and an initial property can be raised.

[0039] If invention according to claim 4 is followed, while the level difference section is formed like invention and invention according to claim 2 according to claim 1, the protection insulator layer which has a dielectric constant higher than a gate insulator layer like invention according to claim 3 will be prepared. For this reason, an initial property can be made good while being able to raise reliability remarkably.

---

[Translation done.]



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The cross section showing one example according to invention and invention according to claim 2 according to claim 1.

[Drawing 2] The cross section showing the production process which manufactures a thin film transistor.

[Drawing 3] The cross section showing one example according to invention according to claim 4.

[Drawing 4] The cross section showing one example according to invention according to claim 3.

[Drawing 5] Drawing showing the relation between the dielectric constant  $\epsilon$  of a protection insulator layer, and the ON state current after a bias test.

[Drawing 6] The cross section showing the example using the thin film transistor of one example according to invention according to claim 4 as a switching element of a liquid crystal display.

[Description of Notations]

- 1 -- Transparence substrate
- 2 -- Semiconductor barrier layer
- 2a -- Drain field
- 2b -- Channel field
- 2c -- Source field
- 3 -- Gate insulator layer
- 3a, 3b -- Flash field of a gate insulator layer
- 4 -- Gate electrode
- 5 6 -- The level difference section of a gate insulator layer
- 7 -- Protection insulator layer
- 8 -- Display electrode
- 9 -- Auxiliary capacity electrode
- 10 -- Drain electrode
- 11 -- Source electrode

---

[Translation done.]

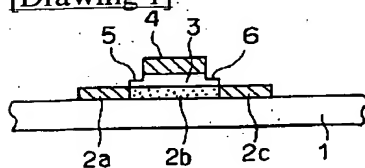
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

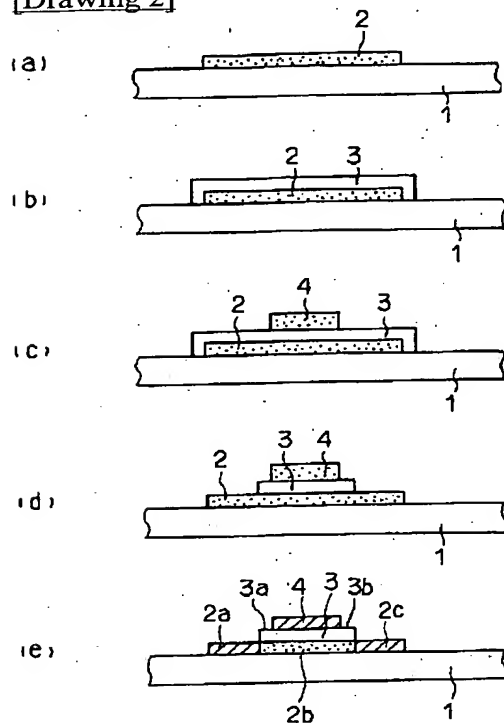
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

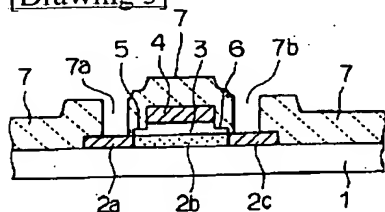
[Drawing 1]



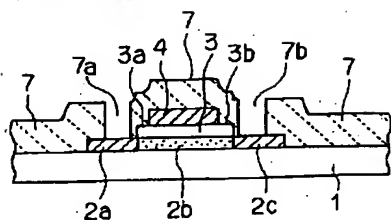
[Drawing 2]



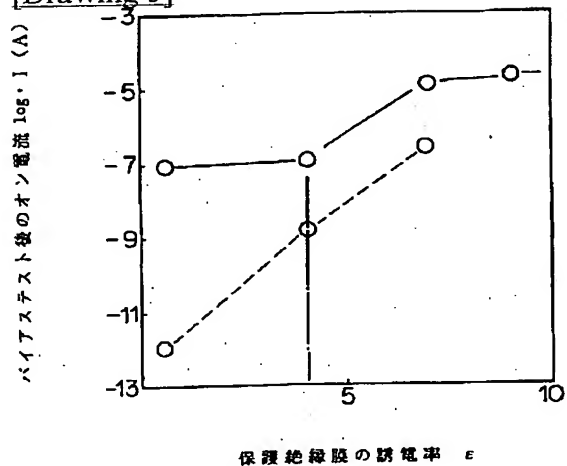
[Drawing 3]



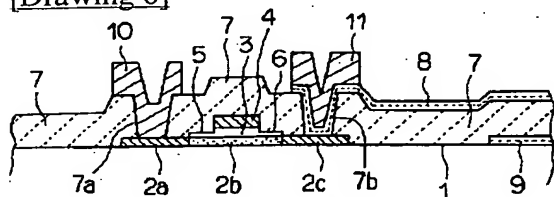
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]